

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-268701

(P2000-268701A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 J	1/304	H 0 1 J	F 5 C 0 3 5
	1/30		B
	9/02		A

審査請求 未請求 請求項の数 9 O L (全 15 頁)

(21) 出願番号 特願平11-69285

(22) 出願日 平成11年3月15日 (1999.3.15)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 山 本 正 彦

神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

(72) 発明者 福 田 由 美

神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

(74) 代理人 100064285

弁理士 佐藤 一雄 (外3名)

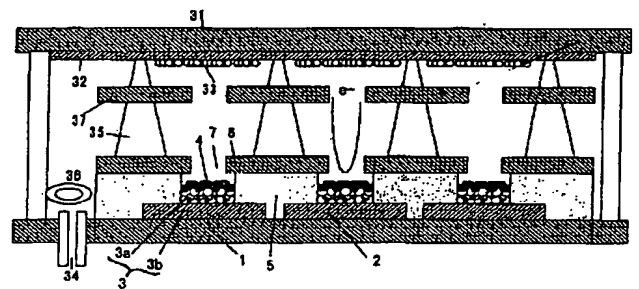
最終頁に続く

(54) 【発明の名称】 電子放出素子、その製造方法ならびに表示素子およびその製造方法

(57) 【要約】 (修正有)

【課題】 微粒子エミッタを用いた電子放出素子で、大面積に多数の素子を作成した時に、電子放出量のむらを抑制出来る電子放出素子により、低電圧駆動が可能で、長寿命、高精細化が容易な大面積均一な表示素子の提供。

【解決手段】 基板1と、この基板上に設けられたカソード配線層2と、ゲート配線層6と、前記カソード配線層と前記ゲート配線層とを電気的に絶縁する絶縁層5とを有し、前記ゲート配線層および前記絶縁層とを貫いた貫通孔内に抵抗層3およびエミッタ層4が形成された電子放出素子であって、前記抵抗層が絶縁性微粒子3aからなる母材中に導電性微粒子3bが分散した構造を有するものであり、かつ、前記エミッタ層が微粒子材料によって形成されたものであることを特徴とする、電子放出素子。カソード電極ラインとエミッタ層と絶縁層と、ゲート電極ラインとが順に形成された第一の基板の絶縁層がフッ素を含有する二酸化珪素膜よりなることを特徴とする、表示素子。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】基板と、この基板上に設けられたカソード配線層と、ゲート配線層と、前記カソード配線層と前記ゲート配線層とを電気的に絶縁する絶縁層とを有し、前記ゲート配線層および前記絶縁層とを貫いた貫通孔内に抵抗層およびエミッタ層が形成された電子放出素子であって、前記抵抗層が絶縁性微粒子からなる母材中に導電性微粒子が分散した構造を有するものであり、かつ、前記エミッタ層が微粒子材料によって形成されたものであることを特徴とする、電子放出素子。

【請求項2】前記抵抗層を形成する絶縁性微粒子、導電性微粒子およびエミッタ層を形成する微粒子のうち少なくとも一つに金属塩が付着したものである、請求項1記載の電子放出素子。

【請求項3】請求項1の電子放出素子を製造するに際し、抵抗層またはエミッタ層を電気泳動法によって形成することを含む、電子放出素子の製造方法。

【請求項4】基板上にカソード配線層を形成する工程と、絶縁膜を形成する工程と、ゲート配線層を形成する工程と、抵抗層およびエミッタ層を電気泳動法によって形成する工程とを含む、請求項3に記載の電子放出素子の製造方法。

【請求項5】請求項1の電子放出素子を製造するに際し、カソード配線層に電圧を印加することによって抵抗層を設け、その後、ゲート配線層に逆の電圧を印加することを含む、電子放出素子の製造方法。

【請求項6】請求項1の電子放出素子を製造するに際し、カソード配線層に電圧を印加しつつそれよりも大きい電圧をゲート配線層に印加して抵抗層を設けることを含む、電子放出素子の製造方法。

【請求項7】カソード電極ラインとエミッタ層と絶縁層と、前記カソード電極ラインに交差するゲート電極ラインとが順に形成された第一の基板と、前記第一の基板に真空を介して離間および対向して配置された、アノード配線層と蛍光体層とから形成された第二の基板とを有する表示素子であって、前記第一の基板上の絶縁層がフッ素を含有するSiO₂膜よりなることを特徴とする、表示素子。

【請求項8】請求項7の表示素子を製造するに際し、絶縁層を、フッ素を含有するSiO₂膜を液相成長することによって形成する、表示素子の製造方法。

【請求項9】エミッタ層が、表面に界面活性剤がコートされた微粒子の集合体によって構成されている、請求項7に記載の表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子放出装置およびその製造方法ならびに表示素子およびその製造方法に関するものである。このような本発明は、画像表示装置あるいは電子線露光装置などに適用することができる

ものである。

【0002】

【従来の技術】金属または半導体の表面に10の7乗[V/cm]程度の高電界を印加することによって、金属中のフェルミエネルギー近傍の電子や、半導体の伝導電子バンドに励起された電子の真空準位へのトンネルがおり、真空中への電子放出がなされる（ただし、半導体の場合、荷電子バンド、あるいは不純物準位・欠陥準位や、表面・界面準位など、バンド間に存在する準位の電子が放出される場合もある）現象は、電界放出と呼ばれている。

【0003】電界放出型の冷陰極では、熱陰極に比べて、単位面積あたりの放出電子量を大きくとれることが特徴である。熱陰極において電子放出量は1平方センチメートルあたり数十アンペア程度までが限界であるのに対し、1平方センチメートルあたり10の7乗から9乗アンペア程度の電子放出量が可能である。このため、電界放出型冷陰極の利用は、真空電子素子の微小化の上で特に有用である。

【0004】冷陰極を用いて微小化された真空素子(真空マイクロ素子)の実際の例としては、1961年にSho uldersによって0.1ミクロンサイズの素子の作製方法とこれを用いた微小な電界放出型2極管の作製(Adv. Comput. 2(1961)135参照)について報告がなされている。また、1968年にはSpindtらにより、薄膜技術を用いたミクロンサイズのゲート付き冷陰極(3極管)を多数基板上に配置した構造(アレイ)の作製(J. Appl. Phys. 39(1968)3504参照)の報告がなされ、以降当該分野において、多数の報告が続いている。

【0005】真空マイクロ素子の構造には様々の種類が考案されているが、Spindtらのものは、鋭い先端をもつミクロンサイズの微小な錐体型のエミッタの先端部への電界集中を、近傍に設けた引き出し電極(ゲート)によって制御しながら起こさせ、電子の電界放出をさせるものである。このようなSpindt型の素子は、エミッタの直上に開口部を有するゲートを設けており、エミッタ上方に設置されたアノードに向かって放出される電子の放出量がゲート=エミッタ間の印加電圧により制御可能な構造である。他にも類似の構造を持つ素子の例としてSiの異方性エッチングを用いた方法(グレイ法)や、鋳型を用いたモールド法などの方法で作製された例が多数報告されている。これらの構造の従来の電子放出素子に共通する特徴は、曲率半径が数ナノメートル程度の極めて先鋭なエミッタ先端部をゲート開口の中心部に設置することにより、ゲート=エミッタ間の電位差によって生じる電界が鋭く尖ったエミッタ先端による電界集中の効果により、100から1000倍程度に増幅されることを用いて、エミッタ先端近傍に10の7乗[V/cm]程度の電界を発生させ、電界放出によって真空中に電子を取り出すことを可能にしている。

【0006】ゲートの開口径は、ミクロンからサブミクロンオーダーであるため、実際に素子を作製する上では、微小な開口径の中にゲートと錐体のエミッタを設置する作業が要求される。このような精密な位置合わせをリソグラフィで行なうことは、技術的にもコスト的にも困難であるため、セルフアライン形成を利用することによって、この困難を回避し、両者の位置合わせを実現している。しかし、逆に特殊な製法を用いることによって生じてくる制約も多い。

【0007】例えばスピント法では、ゲート開口を設けた上で、斜め蒸着によって剥離層をゲート内部に着膜しないようにしながらゲート上面に成膜し、続いて垂直方向からエミッタ材料を蒸着するが、このときにゲート開口部の縁に付着したエミッタ材料(後に剥離層を除去することによって取り除かれる)によってゲート径が徐々に窄まる効果を用いて、ゲート内に錐体形のエミッタが形成される仕組みになっている。しかし、J. Vac. Sci. Technol. B13(1995)487に報告されているように、Moを用いた場合は理想的な[底面の径:高さ]の比(アスペクト比)をもつ錐体を作ることができるが、TiやZrではできない。つまり、単に電界放出特性に直接影響を与える材料の物性値のみでなく、蒸着時に形状の良い錐体を作れるというように、素子の形状を作製する都合の面からも、エミッタに使用できる材料の選択肢が実質的にMoに限定されている。同様にグレイ法では材料がSiに限定されているが、これらの方法では、プロセスや材料の見直しによってコストを下げることへの柔軟度が極めて低い。

【0008】エミッタに用いることのできる材料の幅を広くするためには、製造プロセスに起因する制約を緩和することが必要になってくるが、その手段として以下のような方法がある。すなわち、ゲートの中心部に単一の放出点を持つエミッタを設置することをせずに、ゲート開口部の中に複数の放出点を設けることによって、ゲートとエミッタの間の位置合わせを不要にするアプローチである。実際、このようなアプローチを取った場合においても、ゲートに回収される無効電流は増加するものの、電子放出量が著しく損なわれることはない。これは、エミッタ先端での電界強度は、エミッタ先端の先鋭度と、ゲート=エミッタ先端の距離に依存するが、エミッタ先端の先鋭度に対する依存が大きいためであり、電子放出素子のアレイを大面積にわたって形成することが、技術的・コスト的に容易になる。

【0009】そして、このようなアプローチには、2つの種類がある。1つは、複数の電界集中構造を設ける方法であり、特開平8-329823公報に開示されているような、ゲート開口部内に無数のベータ型タングステンの柱状結晶を成長させることによって、夫々の結晶の先鋭部から電子が放出される構造を用いるものである。

【0010】もう1つは、仕事関数、あるいは半導体に

おける電子親和力(金属の場合の仕事関数に対応)の小さい物質を用いることによって、明確な先鋭部を持たない膜からの電子放出を可能にする方法である。これは、仕事関数や電子親和力が小さいほど電界放出は起こりやすいからである。このような膜に用いることのできる物質として、特に優れた特性を持っているのが、バンドギャップ幅が5電子ボルトを超える半導体であるダイヤモンド、立方晶や六方晶の窒化硼素、窒化アルミニウム、弗化リチウム、弗化カルシウムなどの電子親和力のきわめて低い物質群である。

【0011】これらの物質では、伝導バンドの底が、真空での電子のエネルギー状態である真空準位よりは低いものの、0.1~0.5電子ボルト以内でほとんど等しいか、結晶面方位によっては高くなっていることが確認・示唆されており、(例えばJ. Vac. Sci. Technol. B13(1997)1733を参照)負電子親和力(NEA)物質や、擬負電子親和力物質とよばれている。

【0012】これらの物質のもつ負電子親和力(NEA)という性質を用いた場合、電子は、真空との界面での強い電界を必要とせずに真空中へ放出されるという魅力的な性質を持つ。このことは、特にドーピングや、欠陥・水素終端などによる伝導経路を、材料の表面やバルク内に形成し、伝導バンドに電子を注入することで、もたらされる。

【0013】また、バルク内や表面に形成された導電性の微細構造からの電界電子放出が起こることを示唆する実験結果も発表されている(例えばScience 282(1998)1471参照)が、この場合NEAを利用した電子放出とは異なり、必ずしも伝導バンドからの電子放出は起こらずに、バンド間に存在する欠陥などによる局在順位や、荷電子バンドからの電子放出が起こることになり、必ずしも電子親和力の小ささを積極的に利用したメカニズムで電子放出をさせるものではない可能性がある。

【0014】しかし、これらの物質の多くは、その特徴として、表面における化学的安定性や、熱伝導性において優れた特性を併せ持ったため、Moなどの金属表面からの電界放出に比べ、電界放出特性が、表面状態の変化の影響を受けにくく、より安定であり、エミッタ材料として魅力的な物質であることには変わりない。

【0015】金属材料の突起構造を用いた電子放出素子は、その特性が、一般に表面状態に非常に敏感なため、通常10のマイナス7乗トール以下の環境でないと安定に動作しないのに対し、ダイヤモンドや、窒化硼素を用いた電子放出素子は、10のマイナス5乗トール程度の低真空においても安定に動作することが示唆されている(例えばJ. Vac. Sci. Technol. B16(1998)1207を参照)。

【0016】これらのNEA物質・擬NEA物質(以降まとめてNEA物質と呼ぶ)を用いた電子放出素子を作製するためには、真空蒸着を用いて成膜を行なう方法と、NEA物質の微粒子を用いる方法の2つがある。代

5

表的なNEA物質であるダイヤモンドや、立方晶窒化硼素の真空蒸着法としては、プラズマCVD法、熱フィラメントCVD法、フィルタードカソードアーク法、レーザーアブレーション法などによる例が多数報告されている。

【0017】これらの方法によって作製された膜は、多結晶の様態を示しているが、結晶粒の局所的な均一性において比較的優れた膜を成膜することが可能である。反面、大型の電子励起型フラットパネルディスプレイ(FED)に用いる電子源としての応用を考えたときに、作製できる膜の大きさが装置の大きさで限定されるため、大型の装置が必要となり、生産コストを押し上げる要因となっている。

【0018】また、ダイヤモンドなどの蒸着膜は、膜内応力が大きいため、成膜後に剥離が起きやすいという難点もあり、実用上の問題となっている。

【0019】これらの問題は、後者のアプローチにあるように、蒸着膜を用いる代わりに、サブミクロンサイズの微小な結晶粒を用いる方法により、回避可能である。例えば、ダイヤモンドや、立方晶窒化硼素のサブミクロンサイズの微結晶は、研磨用の砥粒の用途で工業生産されており、価格的にも手頃であるため、電子放出素子アレイの大面积形成に有用である。

【0020】このような微粒子を用いた縦型構造の電子放出素子の構造や製法に関しては、J. Vac. Sci. Technol. B14(1996)2060や、米国特許第5019003号明細書、特開平8-241665公報、特開平8-77916公報、特開平10-92294公報、そして特開平10-92298公報において報告・開示されている。

【0021】J. Vac. Sci. Technol. B14(1996)2060に報告されている例では、あらかじめ基板上に、エミッタ配線、絶縁膜、ゲート膜を堆積し、ゲート膜と絶縁膜を貫通させた穴を複数設けておき、この穴に窒素によりドーピングを施したダイヤモンド微粒子(粒径 $1\mu\text{m}$ 程度)の表面をエッチングによって荒らしたものを導電性のマトリックス中に分散し、ペースト化したものを筥で押し込む方法で素子が作製されている。この素子では、構造上、図4に示すように、エミッタ配線とゲート膜間が導電性の母材にによって短絡されやすく、信頼性が低い。

【0022】また、米国特許第5019003号明細書に開示されている例では、図5に示すように、基板100上に、複数の微粒子材料($1\mu\text{m}$ 径)が結着剤101で固定されている構造のエミッタが示されている。この素子では、微粒子の一部で、鋭い角を持っている部分が結着剤から突出していることが特徴となっている。微粒子は導電性の微粒子201または、導電膜203で覆った絶縁性の微粒子202のいずれでもよい。導電性の材料としては、Moや、TiCなどが挙げられている。同明細書には、電子放出素子化するための、ゲート及び、放出された電子を回収するための電極(アノード)を配置する構造について

6

も示されている。図6に示すように、基板100上に複数設置された微粒子エミッタ201上の一部を除いて絶縁膜409で覆い、その上にゲート401を配設し、さらにその上に絶縁膜402を設置し、その上に透明なアノード電極としての機能を持つフェースプレート404と蛍光体層403が設置され、FEDの構造となっている。しかしながら、同明細書に示されているような方法で複数の微粒子を大面积に均一に設置することは、実際には、容易ではない。特にディスプレイへの応用を想定した場合、仮に複数の微粒子を大面积に均一に設置することができても、ゲートをつけて電子放出素子のアレイとして組み上げた時に、各々の画素間での特性が均一でなければならない。個々の電子放出素子間の特性分布は、電界放出の非線型性により、電界・電流密度特性には強調されて反映される。したがって、各々の素子間で特性の分布がほとんどないか、各々の画素間で画素を形成する複数の電子放出素子の特性分布がほとんど同一であることが要求される。このため、特性分布を同一にするためには、多くの電子放出素子が各々の画素に含まれていて、平均化の効果が十分に発揮されることが必要となる。しかし、この場合のように、鋭利な角を有する微粒子を配置した場合、これらの鋭利な角の部分が上を向いて設置される確率は高くなく、多くの微粒子はエミッタとして機能しない。画素の大きさが数百 μm 四方程度であるとき、画素面積内に設置できるゲートの開口部は高々数千個となるが、微粒子の配置や方向のむらによって機能しない電子放出素子の割合が高くなることによって平均化効果は著しく低下し、ディスプレイとして許容できない表示むらにつながる。また、図6では、微粒子エミッタ201が絶縁膜の下にもあるため、絶縁破壊の起こりやすい構造となっている。十分な耐圧を取るために、絶縁膜の厚さを増やすことによって、動作電圧が上がってしまう。

【0023】特開平8-241665公報の例も、同様な構造の微粒子を用いた電子放出素子となっているが、用いている微粒子材料は、水素プラズマによって活性化されたダイヤモンド粒子であり、電子の放出されやすい特定の方向がない分、電子放出を行わない微粒子の割合は低い。また粒径も $10\sim300\text{nm}$ とより小さいため、単位面積内に設置可能な微粒子の数が大きく、平均化効果はより効率的に起こる。しかし、図7に示すように、基板51上に設けた導電性表面52の上に複数のダイヤモンド粒子53を設置し、その上に(マスク粒子62をマスクとして)絶縁膜60、ゲート膜61を蒸着する形になっているが、この場合も絶縁破壊に対する問題は残っている。また、微粒子膜を均一に作製する方法については示されていない。

【0024】これらの事情は、特開平10-92298公報においても図8に示すように同様である。

【0025】また、特開平8-77916公報の例では、図9に示すように、基板1上にエミッタ配線層32を設置し、その上に導電性スペーサー層を介してエミッタ微粒子を

含む導電体940が設置されており、スパッタ法などの蒸着法と加熱処理の組み合わせで形成されている。エミッタ粒子を含む導電体940を囲むように、絶縁層914bとゲート腹907bが設置されている。この構造の場合においては、先に挙げた例のように絶縁膜の下部にエミッタ材が延在している構造にはなっていないため、絶縁膜の信頼性は向上している。しかし、素子作製に蒸着とパターニングを用いており、スピント法などの場合と同様に、作製できる電子放出素子のアレイの大きさは蒸着装置や露光装置などの大きさによって制限されてしまう。また、絶縁膜とゲート膜の設置の際に、レジストのリフトオフを用いて、絶縁膜とゲート膜のうち、電子放出部の上に堆積する部分を除去する製法をとっているが、絶縁膜とゲート膜の膜厚の和は $1\mu\text{m}$ 近いので、技術的に困難である。このため、歩留まりが低く、大面積の電子放出素子アレイ作製に不向きであった。

【0026】さらに、特開平10-92294公報に示されている例では図10に示すように、下部基板1001、カソード電極ライン1002の上に絶縁層1003、ゲート電極4を設置し、開口部1005を設け、この中に、微粒子エミッタ材料を高圧ガスとともにノズルから噴射する方法を採用しているが、この方法では、開口部に堆積する微粒子の量を調節することが困難であり、ディスプレイに応用したときに表示むらが生じやすい。また、ゲートとエミッタ間の短絡が素子の作製時に発生しやすい。

【0027】そして、これら全ての例における共通の問題として、実際にディスプレイに電子放出素子に応用したときに、輝度むらの発生を抑えるためには、各々画素内において電子放出素子から放出される電流の最大量が制限されている必要がある。このために、各々の画素内において、好ましくは各々の電子放出素子において最大電流を制限する要素が組み込まれている必要がある。しかしながら、これらにおいては、このような電流制限を行う構造は組み込まれていなかった。

【0028】一方、電子放出素子を利用した表示素子、たとえば極薄型のディスプレイ装置としては、特開平10-92298号公報のような電子放出源とそれを用いたディスプレイ装置が有る。図13、図14を用いて上述した電子放出源とディスプレイ装置について説明する。従来の電子放出源は図13、図14に示すように、例えばガラス材よりなる下部基板5001の表面上に帯状の複数のカソード電極ライン5002が形成され、その上に仕事関数の小さな材料からなる薄膜5007が、またその上に絶縁層5003が形成され、さらにその上にカソード電極ラインと交差して帯状に複数本のゲート電極ライン5004が形成されている。カソード電極ライン5002とゲート電極ライン5004とはマトリクス構造を構成しており、各カソード電極ライン5002および各ゲート電極ライン5004は制御手段5015にそれぞれ接続されて駆動制御されている。カソード電極ライン5002とゲート電極ライン5004との各交差領域に

においては、ゲート電極ライン5004と絶縁層5003を貫通して薄膜7に達する多数の略円形の孔5005が形成され、これら孔5005の底部の薄膜5007が冷陰極を形成している。この電子放出源を用いたディスプレイ装置の例を図14に示す。ディスプレイ装置5020は上述した電子放出源5012を画面を構成するように多数配置した部材と、この部材の電子放出方向に所定の間隔を持って配置された上部基板5028が設けられている。この上部基板5028の電子放出源5012と対向する位置にゲート電極ライン5024と平行な帯状の蛍光体が塗布された蛍光面5029が形成され、また、電子放出源5012と蛍光面5029との間は真空に保たれた構成になっている。次に、このディスプレイ装置5020の駆動について述べる。画像を構成する所定の画素領域の電子放出源5012を、その電子放出源5012と一致する交差領域を有するカソード電極ライン5022とゲート電極ライン5024を制御手段5025により選択し、所定の電圧をかける。これにより、この電子放出源5012は励起し、その電子放出源5012から電子が放出され、さらにカソード電極ライン5022とアノードである上部基板5028の間に印加された電圧によって電子は加速され、蛍光面5029の蛍光体と衝突して可視光を放出し、画像を形成するものである。

【0029】カソード電極ライン5002とゲート電極ライン5004の交差領域は、絶縁層を誘電体層としたキャパシタを構成している。そのキャパシタの静電容量(寄生容量)Qは、

$$Q = \epsilon_0 \times \epsilon \times A / d \quad - (1)$$

ϵ_0 : 真空の透磁率

ϵ : 絶縁層の誘電率

A: 交差領域の面積

d: 絶縁層厚

であるので、駆動時にキャパシタ部分で消費されてしまう電力Wは

$$2W = 2\pi f Q V \quad - (2)$$

f: 駆動周波数

V: 駆動電圧(ゲート-エミッタ間)

となる。従来の発光素子およびそれを用いたディスプレイ装置では通常、絶縁層5003の材料としては SiO_2 が一般的に用いられる。CVD等で形成された SiO_2 薄膜の誘電率は4.3程度であり、式(1)で表される寄生容量が無視できない大きさとなり、このディスプレイ装置の消費電力を増加させてしまう。さらに、寄生容量を許容範囲以下に抑えるために絶縁層厚を増加せざるを得ず、従ってゲートエミッタ間距離が増加し、それに伴い駆動電圧が増加してしまうという問題点があった

【0030】

【発明が解決しようとする課題】 前述のように、従来の電子放出素子では、微粒子材料をもちいて電子放出素子を作製することによって、素子の構造を簡略化し、高価な真空成膜プロセスを非真空プロセスで置換すること

が可能となったが、従来の例においては、構造面から絶縁膜の信頼性が十分確保できない点や、ゲート配線とエミッター配線の間で短絡が生ずる点において問題があった。

【0031】また、ディスプレイ応用時の表示の均一性を確保するため、各々のエミッター流れる電流を制限する要素が組み込まれていない点に問題があった。また、真空プロセスを用いずに、大面積にわたって、むら・欠陥の発生を抑え、均一に微粒子を用いた電子放出素子を作製する方法が示されていなかった点に問題があった。

【0032】本発明による電子放出素子は、ゲート膜とエミッタ膜の間での絶縁の信頼性が高く、個々のエミッタから放出される電流量を制限する機能を持つ電子放出素子の構造を提供することと、かつ大面積にわたって、非真空プロセスを用いて均一に多数の素子を作製する手段を提供するものである。

【0033】また、本発明による表示素子は、低電圧駆動が可能で、高寿命、高精細化が容易な大面積均一な極薄型ディスプレイ装置を提供するものである。

【0034】

【課題を解決するための手段】上述の目的を達成するための、本発明による電子放出素子を構成する視点は以下の通りである。

【0035】すなわち、本発明第一の視点は、基板と、この基板上に設けられたカソード配線層と、ゲート配線層と、前記カソード配線層と前記ゲート配線層とを電気的に絶縁する絶縁層とを有し、前記ゲート配線層および前記絶縁層とを貫いた貫通孔内に抵抗層およびエミッタ層が形成された電子放出素子であって、前記抵抗層が絶縁性微粒子からなる母材中に導電性微粒子が分散した構造を有するものであり、かつ、前記エミッタ層が微粒子材料によって形成されたものであることを特徴とする、電子放出素子にある。

【0036】また、上記本発明第一の視点は、更にその特徴として、「抵抗層を形成する絶縁性微粒子、導電性微粒子およびエミッタ層を形成する微粒子のうちの少なくとも一つに金属塩が付着したものであること」をも含むものである。

【0037】また、本発明第二の視点は、上記の電子放出素子を製造するに際し、抵抗層を電気泳動法によって形成することを含む、電気放出素子の製造方法にある。

【0038】そして、本発明による表示素子は、カソード電極ラインとエミッタ層と絶縁層と、前記カソード電極ラインに交差するゲート電極ラインとが順に形成された第一の基板と、前記第一の基板に真空を介して離間および対向して配置された、アノード配線層と蛍光体層とから形成された第二の基板とを有する表示素子であって、前記第一の基板上の絶縁層がフッ素を含有するSiO₂膜よりなること、を特徴とするものである。

【0039】そして、本発明による表示素子の製造法

は、上記の表示素子を製造するに際し、絶縁層を、フッ素を含有するSiO₂膜を液相成長することによって形成するものである。

【0040】以上の視点によって構成される本発明による電子放出素子の構造並びにその製法を用いることによって、各々のエミッターからの電子放出量を制限し大面積にわたって均一な特性を持つ電子放出素子のアレイを作製することが可能となる。また、多数の微粒子を用いた電子放出素子を大面積にわたり、非真空プロセスを用いつつ、むら・欠陥の発生を抑えて形成することが可能となった。さらに、その形成時に、ゲート配線とエミッタ配線間の短絡の発生を抑えることが可能となった。

【0041】このような本発明によれば、絶縁体に導電体を分散させた抵抗層のもつ十分な電流制限効果によって、微粒子を用いた電子放出素子を大型のディスプレイに応用した際に、表示むらや画素欠陥の発生を効果的に抑制することが可能となった。また、素子の作製方法に電気泳動法を用いたことによって、抵抗層ならびに、微粒子層をエミッタ配線上に選択的に均一に着膜することが可能になったため、ゲートとエミッター間の短絡が抑制された結果、動作の信頼性が格段に向上した。

【0042】

【発明の実施の形態】<電子放出素子>次に、本発明による電子放出素子の好ましい実施形態について説明する。

【0043】図1は、本発明における電子放出素子の構造の一例を示す模式図である。図1において1は基板、2はカソード配線層、3は抵抗層、4はエミッタ微粒子膜、5は絶縁層、6ゲート配線層、そして7は開口部を示している。

【0044】基板1の材料としては、石英ガラス、パイレックス（登録商標）ガラス、青板ガラス、ステンレスの表面をSiO₂などの絶縁膜で覆った積層体、表面をバリア型の陽極酸化膜で被覆したアルミニウムの板、Siウエハなどからなる群から選択して用いることができるが、ディスプレイ応用を想定したときに、反りが少なく、ディスプレイの表板との熱膨張係数が近くなっていることが好ましく、コスト面などのファクターを適宜加味して決定される。

【0045】また、基板1の上にはエミッタ配線層2が形成されている。エミッタ配線層2の材料としては、一般的な導体材料を用いることができる。例えばNi、Cr、Cu、Au、Pt、Ir、Pd、Ti、Al、Mo、Wなどの金属や、その合金を用いることができ、好ましくは低抵抗、高熱伝導率、かつ融点の高い材料を選択して用いることができ、そのエミッタ配線層2の膜厚は100nm～50μm程度、好ましくは500nm～20μm程度である。エミッタ配線層2の形成方法としては、スパッタ法などの蒸着法、好ましくは印刷法やめっき法を用いることができる。

【0046】そしてエミッタ配線層の上には絶縁層5、ゲート配線層6があり、部分的に設けられた開口部7を有している。絶縁層5の材料としては、スパッタ法などの真空蒸着法や、LPD法などの液相成長、陽極化成法などの方法で成膜された SiO_2 、 Al_2O_3 、 MgO 、 Ta_2O_5 などの膜を用いることができる。中でも、液相成長によって緻密な膜が得られるLPD法による SiO_2 膜の使用が好ましい。LPD法の使用時に、下地膜選択性からエミッタ配線層の上に成膜ができない場合でも、CVD法などを用いて、あらかじめ SiO_2 の下地膜を形成しておくことで用いることができる。

【0047】ゲート配線層6の材料についても、一般的な導体材料が利用でき、その膜厚は、 $100\text{nm} \sim 5\mu\text{m}$ 程度、好ましくは $200\text{nm} \sim 1\mu\text{m}$ 程度である。エミッタ配線層と同様に例えば Ni 、 Cr 、 Cu 、 Au 、 Pt 、 Ir 、 Pd 、 Ti 、 Al 、 Mo 、 W などの金属や、その合金を用いることができ、好ましくは低抵抗、高熱伝導率、かつ融点の高い材料を選択して用いることができる。また、その形成方法には、スパッタ法などの蒸着法、好ましくは印刷法やめっき法を用いることができるが、下地膜との密着性が考慮されている必要がある。下地膜との十分な密着性が得られない場合は、 Ti や、 Cr などの金属をごく薄く接着層として間に形成しておくことが好ましい。また、接着層を用いる代わりに、水素雰囲気中でのアニールなどの方法をもちいて、絶縁膜の表面を十分疎水性にしておくこともできる。

【0048】ゲート配線層6と絶縁層5を貫く開口部7は略円形をしており、その直径は $200\text{nm} \sim 10\mu\text{m}$ の範囲にとることができる。開口部7は絶縁層5とゲート配線層6を形成した後にパターニングをして設けることができる。また、絶縁層5とゲート配線層4を形成する前に後に溶解される犠牲層をあらかじめ設けておいて、リフトオフを行ってもよい。

【0049】開口部内部には抵抗層3とエミッタ微粒子膜4が設けてある。抵抗層3は、絶縁性の母材3a中に導電性の微粒子3bが分散配置された構造になっている。絶縁性の母材3aには、 SiO_2 などの無機物、ポリイミド、テフロン（登録商標）などの有機物を用いることができるが、中でも、ポリイミドの微粒子材料を用いることが好ましく、粒径は、好ましくは $5\text{nm} \sim 500\text{nm}$ 、特に好ましくは、 $5\text{nm} \sim 50\text{nm}$ の範囲に収まっていることが好ましい。ポリイミドなどの有機物は極めて水分を物理吸着しやすく、真空中で吸着した水分を放出するため、真空中での使用には一般に適さないが、本発明における構成での使用量はごく微量であり、十分なガス出し過程を経て利用する限りにおいては、実用上差し支えない。また、導電性の微粒子3bには、一般的な金属材料や、カーボン系の材料を用いることができる。特に、絶縁性の母材3aにポリイミド微粒子を用いた場合は、カー

ボン系の材料の方が、より均一に母材中に分散されるため、好ましい。このようなカーボン系の材料としては、グラファイト微粒子、アモルファスカーボン微粒子、フラーレン、カーボンナノファイバー、グラファイトナノファイバーなどの材料を用いることができる。

【0050】また、本発明で用いる微粒子エミッタ4の材料としては、ダイヤモンド微粒子、立方晶窒化硼素（ $c\text{-BN}$ ）、六方晶窒化硼素（ $h\text{-BN}$ ）、窒化アルミニウム（ AlN ）などの電子親和力の極めて小さい微粒子材料を用いることができる。また、低仕事関数の CeO_2 、 HoO_2 などの酸化物材料や、 HfC 、 ZrC 、 SiC 、などの炭化物材料の微粒子材料を用いることもできる。これらの微粒子材料の粒径は、 $5\text{nm} \sim 500\text{nm}$ 、特に、 $5\text{nm} \sim 50\text{nm}$ の範囲に収まっていることが好ましい。また、ダイヤモンド微粒子・立方晶窒化硼素（ $c\text{-BN}$ ）、六方晶窒化硼素（ $h\text{-BN}$ ）、窒化アルミニウム（ AlN ）などの微粒子材料を用いる前に、活性化処理が施されていることが好ましく、ダイヤモンドの場合は、水素プラズマ処理や、酸素プラズマ処理と水素アニールなどの処理、 $c\text{-BN}$ や、 $h\text{-BN}$ の場合はやはり、水素プラズマ処理や、酸素プラズマ処理と水素アニールなどの処理、あるいは、ふっ酸処理が施されていることが好ましく、また AlN を用いた場合は、水素プラズマ処理や、酸素プラズマ処理と水素アニールなどの処理、ふっ酸処理、あるいはアルカリ処理が施されていることが好ましい。さらに、これらの材料はn型またはp型にドーピングされていることが好ましく、n型にドーピングされていることが特に好ましい。

【0051】ダイヤモンドの場合は、窒素による置換ドーピング、 $c\text{-BN}$ の場合は硫黄などによるドーピングを施しておくことが好ましい。

【0052】つぎに、本発明における電子放出素子の製造方法について図2を用いて説明する。

【0053】図2a、2bは、本発明において、それぞれ、抵抗層3および微粒子エミッタ層4を形成する方法を説明するための図である。ここで用いる記号のうち、1から7は、図1で用いたものに対応している。また、21は成膜時に用いる対向電極、22は微粒子材料の分散溶媒、24は成膜に用いる電圧印加手段、そして23は対向電極と素子基板との間隔である。

【0054】本発明において、抵抗層3ならびに微粒子エミッタ層4はいずれも電気泳動法によって、着膜されるため、図2a、2bにおける配置は同一のものである。ここで、対向電極と素子基板との間隔23、分散溶媒22、電圧印加手段24によって印加される電圧はそれぞれ、以下に説明するような条件を加味して決定される。

【0055】すなわち、電気泳動法とは、対向する極板間に扶持された溶媒中に分散された微粒子を極板間に印加した電圧によって片方の極板の表面に引き付け、堆積させる方法であり、用いる分散溶媒は、絶縁性の溶媒で

ある。電圧の印加によって、溶媒中に電界が発生し、この電界によって、帯電した微粒子が移動する仕組みになっている。ふつう、物質は溶媒中で物質が自ら持つ電位の効果によって帯電するが、電気泳動法を行うためには、帯電量が不十分なため、溶媒中に金属塩を添加することによって、強制的に帯電させることが多い。このような金属塩には、ナフテン酸ジルコニウムや、ナフテン酸マグネシウムなどを用いることができるが、これらに限定されるものではない。電気泳動の起こりやすさは、溶媒の誘電率、微粒子の誘電率と溶媒中での移動度、微粒子の帯電量によってきまるが、ふつうは電気泳動に必要な電界強度は、 1000 V/mm 程度である。

【0056】なお、電気泳動 (electrophoresis) は、誘電電気泳動 (dielectrophoresis) と混同されることがあるが、後者は、帯電した微粒子を電界によって移動させるのではなく、分極を与えた微粒子を電界勾配によって移動させるもので、交流電場を用いることができ、電界強度が 1 V/mm 程度でよい点などが大きく異なっている (なお、両者については、例えば「理工学事典」、(株)日刊工業新聞社発行 (1996年)、その他の文献に記述されている)。

【0057】したがって、本発明における抵抗層ならびに微粒子膜の電気泳動法を用いた成膜方法を用いるためには、電圧印加手段24によって印加される電圧 [V] と23の対向電極と素子基板との間隔 [mm] の比が 1000 程度であればよい。そして、好ましくはそれぞれ、 $100\text{ V}\sim 500\text{ V}$ 、 $100\text{ }\mu\text{m}\sim 500\text{ }\mu\text{m}$ の間にとることができる。例えば、対向電極と素子基板との間に印加する電圧が 150 V であった場合、その距離を $150\text{ }\mu\text{m}$ にとればよい。

【0058】本発明における電子放出素子の作製方法では、まず図2aの配置を用いて、抵抗層3を電気泳動法で成膜する。このとき、分散溶媒は絶縁性の有機溶媒を用いることができるが、好ましくはイソパラフィンを用いることができる。この溶媒中に絶縁性の母材粒子と、導体微粒子が混合比 $100:1\sim 100000:1$ で混ぜたものを、溶媒:微粒子の重量比が $10\sim 0.1\%$ 程度になるように分散させて用いる。また、金属塩を溶媒に重量比 $1\sim 0.01\%$ 程度溶解させておく。そして、電圧印加手段24によって、対向電極21とエミッタ配線2の間に電圧を印加すると、帯電した微粒子の移動によって電流が流れ、徐々にこの電流が減少していく。ここで印加する電圧の正負は、微粒子材料の帯電している電荷の正負によるが、金属塩を加えた場合、正に帯電するため、エミッタ配線2の方が負になるようにバイアスをかける。ここで、電流が十分に減少したときに、電圧の印加を停止する。さらにこの直後にゲート層6に対向電極21に対して正のバイアスを印加することによってゲート層上に堆積した抵抗層を除去する工程を加えることが好ましい。微粒子の分散を保つため、図2aの配置に

さらに、超音波を印加する手段が組み込まれていることが好ましい。

【0059】以上の方法によって開口部内部のエミッタ配線層の上に選択的に着膜したあとに、真空あるいは不活性雰囲気中でアニールを行うことが好ましい。アニール温度としては好ましくは摂氏 200 度から 400 度程度で行うことができる。このようにして、抵抗層を $200\text{ nm}\sim 500\text{ nm}$ 程度成膜する。最後に、図2bの構成を用いて微粒子エミッタ膜を着膜する。このときの手順は、前述の抵抗層の着膜手順と全く同一である。成膜された微粒子エミッタ膜の膜厚は微粒子1層 \sim 2層程度となることが好ましい。

<表示素子>本発明による表示素子は、前記の通り、カソード電極ラインとエミッタ層と絶縁層と、前記カソード電極ラインに交差するゲート電極ラインとが順に形成された第一の基板と、前記第一の基板に真空を介して離間および対向して配置された、アノード配線層と蛍光体層とから形成された第二の基板とを有する表示素子であって、前記第一の基板上の絶縁層がフッ素を含有する SiO_2 膜よりなること、を特徴とするものである。

【0060】本発明においては、第一の基板上の絶縁層である SiO_2 がフッ素を含有するため、化学気相成長法や高周波スパッタリング法などに代表される通常の薄膜形成法で形成した SiO_2 膜の誘電率4.3前後に比して著しく低い誘電率が達成できる。図12に液相堆積法で形成した SiO_2 膜のフッ素濃度と誘電率の関係を示す。図12に示すように誘電率はフッ素添加量の増加に伴い減少する。ここで、絶縁層に求められる誘電率を見積ると、平行平板の二極構造の場合に、発光に十分な電子放出を発生させるに必要な電界はおおよそ $1000\text{ V}/\mu\text{m}$ である。また本発明のように冷陰極が微粒子の場合、平行平板構造に比して電界が局所的に集中し、その電界集中因子はおおよそ 100 であるため、実際にゲート-エミッタ間に最低限必要な電界は $1000\text{ V}/\mu\text{m}$ の $1/100$ 、すなわち $10\text{ V}/\mu\text{m}$ であると考えられる。この表示素子が薄型壁掛けテレビとして一般家庭で用いられるためには消費電力が 200 W 以内であることが望ましく、ゲート-エミッタ間の駆動電圧は 100 V 以下に抑える必要がある。従って、 100 V で発光に必要な電子放出を起こすためにはゲート-エミッタ間距離が $10\text{ }\mu\text{m}$ 以下である必要がある。

【0061】一方、消費電力効率の点からゲート-エミッタ間の寄生容量は画素当たり 0.5 pF 以下であることが必要である。これは1ドットあたり 0.167 pF である。1ドットのサイズは画素間のスペースを $35\text{ }\mu\text{m}$ とすると $415\text{ }\mu\text{m}\times 115\text{ }\mu\text{m}$ 、面積は $4.77\text{ E}-8\text{ m}^2$ である。(1)式と $A=4.77\text{ E}-8\text{ m}^2$ 、 $Q<0.167\text{ pF}$ より、 $\epsilon/d<3.95\text{ E}5\text{ m}-1$ — (3) となる。発光に必要なゲート-エミッタ間距離が最大1

15

$0\ \mu\text{m}$ であるので、 $d=10-5\text{m}$ を用いて、

$$\epsilon < 3.95 \quad - (4)$$

が絶縁層に求められる誘電率となる。(4)式であらわされる低誘電率は、もはや通常の SiO_2 膜では得られず、フッ素を添加することによって達成でき得ることが判る。(4)式と図より、 SiO_2 膜中のフッ素濃度は2%以上であることがより望ましい。

【0062】

【実施例】以下に、本発明による電子放出素子の実際について実施例をあげて説明する。

＜実施例1＞本発明にかかわる基本的な電子放出素子の構成は図1に示したものと同様である。また、図3に本発明を用いたディスプレイの構造を示す。図中31はフェースプレート、32は電子放出素子からの電子を加速するためのアノード電極、33は蛍光体、34は排気管、35は大気圧を支持するためのスペーサー、36は残留ガスを吸着するためのゲッター、37は画素に電子ビームをフォーカスするための集束電極である。また、図中1～7の記号は図1で用いたものと同一である。

【0063】以下、順を追って本発明における電子放出素子のアレイの製造方法の特に好ましい一例を解説する。

【0064】工程1：清浄化し、表面をプラズマ処理によって荒らした対角14インチ、厚さ5mmのバイレックスガラス基板1の長辺方向に平行に、エミッタ配線層2を $450\ \mu\text{m}$ ピッチで作製した。但し、基板1の、エミッタ配線2の方向に平行な端からそれぞれ2インチずつ、配線取り出し用のマージンとしてあり、この部分には何も形成されないようパターニングを行なった。エミッタ配線2の幅は $350\ \mu\text{m}$ とした。まず、エミッタ配線2の形成される間の部分に、PVA膜を塗布、露光用のマスクを用い、紫外線照射によってパターニングし、 50nm のNi膜を無電解めっきによって成長させた。この時、パターニング精度は $15\ \mu\text{m}$ であった。次にPVA膜のリフトオフを行い、無電界めっきにより形成されたNi膜を電極として、電解めっきを行ない、さらに $1\ \mu\text{m}$ のAu膜を成長させた。

【0065】工程2：次にLPD法を用いて SiO_2 膜5を $1\ \mu\text{m}$ 成長させた。成長させたLPD膜には、多くのパーティクル欠陥が含まれていたが、その密度は1平方cmあたり1000個程度であり、実用上問題ないレベルであった。また、Au上に形成された膜は、やや黒ずんでいたが、耐圧は、 $1\ \mu\text{m}$ あたり100V取れており、実用上差し支えないレベルであった。また、この SiO_2 膜5は、Au-Ni配線の段差部をコンフォーマルに覆っており、Auの露出部は存在しなかった。

【0066】工程3：この上に、Pd無電解めっきを30nm施した後、Ir膜を200nm電解めっき成長させて、ゲート腹6を形成させた。

【0067】工程4：次に、ゲート膜を基板の短辺方向

16

にパターニングし、ゲート配線6とした。ゲート配線6のピッチは、 $150\ \mu\text{m}$ で、各々の配線の幅は、 $110\ \mu\text{m}$ とした。また、基板の、ゲート配線6の方向と平行な端から2インチずつ、配線取り出し用のマージンとしてあり、この部分にはゲート配線6は形成されないようにパターニングを行なった。パターニング精度は同様に $15\ \mu\text{m}$ であった。パターニングは、工程1と同様に、PVAの光重合を用いて行なったが、この場合、ゲート配線6の上のみがPVAによって覆われている様にし、残りの露出している部分をエッチング除去した。

【0068】工程5：次に、ゲート層と絶縁層を貫く略円形の開口部7を設けるためのパターニングを行なった。ゲートのパターニングと別々行なう理由は、2つある。1つは、該開口部の径は $1\ \mu\text{m}$ 程度であるため、光学的に見たときに、 $1\ \mu\text{m}$ 程度の解像度を持つパターニング手段を用いる必要があるからである。もう1つは、開口部7は、必ずしも整然と入れられる必要はなく、開口径が一樣で、各画素内におよそ等しい数の開口が配置されていれば良いためである。このような解像度を持つパターニング方法として、本実施例では、光学的なリソグラフィーを用いる代わりに、ポリマーの相分離構造を用いたパターニングを行なった。

【0069】ポリマーの相分離構造とは、2種類のポリマーAとBを混合し、双方のガラス転移点より、十分高く昇温したときに、ポリマーAの濃度が高い部分と、ポリマーBの濃度が高い部分に分かれるものであり、2つのポリマーの混合比によって、ポリマーAの濃度が高い部分の「海」にポリマーBの濃度が高い部分の「島」が多数分散している構造が現れたり、その逆が現れたりする現象である。このような場合に形成される「島」の大きさは、熱力学的な安定性から、約 $1\ \mu\text{m}$ 径にほとんどがなるため、開口部7のパターニングに用いるために好適であった。

【0070】本実施例では、まず、ゲート配線6とエミッタ配線2の交差部を、改めてレジスト（東京応化製OPR800、100cp）のパターニングによって、保護した後、アルカリに不溶なポリマーAと可溶なポリマーBを7：3の混合比で有機溶媒に溶解させ、基板上にドクターブレード法によって塗布した。有機溶媒が蒸発した後の膜厚は、ゲート配線6の真上では、 $4\ \mu\text{m}$ となっていた。次に、基板全体を摂氏200度に加熱し、窒素ガス雰囲気中で4時間アニールを行なった。アニールの後、室温まで冷却をした所、基板全体に、主にアルカリに不溶なポリマーAからなる「海」に主にアルカリ可溶なポリマーBからなる直径 $1\ \mu\text{m}$ の「島」状構造が2～3 μm ピッチで均一に散在していた。なお、アニール時にリフローが起った結果、膜厚は、ゲート配線6の真上では、 $1\ \mu\text{m}$ となっていた。なお、該ポリマー膜はエミッタ配線の取り出し部分の上には塗布していない。

【0071】ここで、基板全体をアルカリ溶液に3分間

17

浸漬し、純水でリンスした結果、「島」の部分が完全に除去されて、ゲート配線6が露出した。次に、ゲート配線6をエッチングし、さらにその下の絶縁層5をRIEを用いてエッチングした。この時、エミッタ配線の取り出し部を被覆していた絶縁層5も同時に除去され、エミッタ配線が露出した。

【0072】工程6：次に、図2の配置を用いて、開口部7内に抵抗層3と微粒子エミッタ層4を電気泳動法により着膜した。この作業は、エミッタ配線100ラインずつに分割して行なった。抵抗層3を構成する要素は粒径が100nmのポリイミド微粒子（ピーアイ技術研究所製）と粒径が10nmの、フラーレンを含む炭素微粒子を1000：1の重量比で混合したものである。これらの混合物を分散溶媒22に分散した。用いた分散溶媒は、エクソケミカル製のアイソパーLである。また、分散溶媒とポリイミド・炭素微粒子混合物の重量比は、0.4wt%であった。また、金属塩として、ナフテン酸ジルコニウム（大日本インキ化学工業製）をポリイミド・炭素微粒子混合物に対し、重量比で10%混合した。

【0073】対向電極21と基板1との間隔23を100μmとし、間に分散液を浸透させて、超音波をかけながら対向電極21とエミッタ配線2の間に電圧印加手段24を用いて、対向電極21を+100V、エミッタ配線2を0Vとなるように電圧を印加した。

【0074】電圧印加直後、数mAの電流が流れ始め、電流量は指数関数的に減衰していき、2分で電流は観測されなくなった。この時点で、分散溶媒に分散していた抵抗材料は、全て基板1上に着膜していた。続いて、ゲート配線6を+50V、対向電極21を0Vと設定することによって、ゲート配線上に付着した微粒子を溶媒中に泳動させた。

【0075】なお、本実施例では、対向電極21とエミッタ配線2間への電圧印加、およびゲート電極6と対向電極21間への2段階の電圧印加を行う方法を説明したが、同様の効果は、対向電極21、ゲート電極6、及びエミッタ配線2のそれぞれ同时对向電極21の電圧 > ゲート電極6の電圧 > エミッタ配線2の電圧の条件を満たすように電圧を印加することによっても実現可能である。また、本実施例では、微粒子はナフテン酸ジルコニウムによって正に帯電していたが、負に帯電する場合は、以上説明した電圧の正負を入れ替えることで全く同様の効果が実現できる。

【0076】最後に、窒素雰囲気中で摂氏300度でアニールを行なうことにより、抵抗膜3とエミッタ配線2との間の固着結合が取られた。

【0077】工程7：次に、微粒子エミッタ層を同様にして着膜した。ここで用いた微粒子エミッタ材料は、昭和電工製の立方晶窒化硼素（c-BN）微粒子（製品名SBN-B）で粒径が100nmのものである。また、この微粒子は事前に希ふっ酸処理をした後、摂氏450度で

18

水素プラズマ処理を施してある。

【0078】これを抵抗層の着膜に用いたのと同じの溶媒に分散させた。但し、重量比は、0.2%とした。また、ナフテン酸ジルコニウムも、立方晶窒化硼素微粒子にたいして10重量%用いた。

【0079】抵抗層の着膜と同様にして、抵抗層上への着膜と、ゲート層6に付着した部分の除去を行なった。この後、水素雰囲気中で摂氏350度でアニールを行なった結果、微粒子エミッタ層4と抵抗層3との間の良好な結合が得られた。

【0080】工程8：このようにして作製した電子放出素子アレイに、図3に示すように、フェースプレート31、ITOアノード電極層32、蛍光体33、排気管34、スパーサー35を取り付けて、真空チャンバー内に据え付けた。なお、本実施例における測定は、ゲッター36、収束電極37は用いずに、真空チャンバー内でターボ分子ポンプによって10のマイナス6乗トルに減圧された状態で行なった。

【0081】ここで、スパーサー35の高さは4mmであり、アノードの電位は3500Vに設定した。また、エミッタ配線2、並びにゲート配線2は非選択のものはいずれも0Vとし、選択された配線に関しては、それぞれ-15V、+15Vにバイアスした結果、電子放出が起り、蛍光体上に輝点が確認された。

【0082】ディスプレイの表示領域全体にわたって複数の画素を選択し、同一の条件で輝度を測定した結果、ばらつきは3%以内に収まっていた。

【0083】＜実施例2＞次に、本発明による電子放出素子の第二の実施例を示す。ここで用いた電子放出素子の構成は、先に述べた実施例1において説明したものと同一である。以下、順を追って本発明における電子放出素子のアレイの製造方法の別の例を解説する。

工程1～6：上記の実施例1による方法に同じものである。この工程により、エミッタ配線、絶縁層、抵抗層、並びに微粒子エミッタ層が形成された。

工程7：次に、微粒子エミッタ層を着膜した。ここで用いた微粒子エミッタ材料は、住友大阪セメント製のSiC微粒子である。また、この微粒子は事前に10のマイナス4乗トル程度の真空で1700℃にて20分間加熱処理を施すことにより、表面がカーボンナノチューブに変成しているものである。処理前の平均粒径は30nmであった。

【0084】これを、実施例1で用いたのと同じの溶媒、アイソパーLに分散させた。重量比は、やはり0.2%とした。また、ナフテン酸ジルコニウムをSiC微粒子に対して10重量%用いた。

【0085】つぎに、実施例1の工程8に示した手順により、SiC微粒子の抵抗層上への着膜と、ゲート層6に付着した部分の除去を行った。この後、窒素雰囲気中

19

で摂氏400度でアニールを行った結果、微粒子エミッタ層4と抵抗層3との間の良好な結合が得られた。

【0086】工程8：このようにして作製した電子放出アレイに図3に示すように、フェースプレート31、ITOアノード電極層32、蛍光体33、排気管34、スパーサー35、ゲッター36、収束電極37を取り付けて、排気を行った。排気は、まずロータリーポンプで粗引きをした後、ターボ分子ポンプで10のマイナス8乗トールに減圧した。最後に、ゲッターポンプを取り付けて、組みあがったパネル全体を200℃に加熱しながら真空引きを行った後、排気管をゲッターポンプ取り付けした状態で封じ切りをして、パネル全体が封じられた状態とした。そして、室温まで降温させた後、測定を行った。

【0087】アノードの電位を5000Vに設定し、エミッタ配線2、並びにゲート配線2は非選択のものはいずれも0Vとし、選択された配線に関しては、それぞれ-5V、5Vにバイアスした結果、電子放出が起り、蛍光体上に輝点を確認された。ディスプレイの表示領域全体にわたって複数の画素を選択し、同一の条件で輝度を測定した結果、ばらつきは2%以内に収まっていた。

【0088】＜実施例3＞以下に、本発明による表示素子の実施例を詳細に説明する。図11は本発明の一実施例である表示素子の一部を模式的に示した断面図である。図11に示すように電子放出源5010は例えばガラスよりなる下部基板1の表面上に帯状の複数本のカソード電極ライン5002が形成されている。このカソード電極ライン5002の上に冷陰極用の薄膜5007が、さらにその上に各カソード電極ライン5002と交差して帯状に複数本のゲート電極ライン5004が形成され、カソード電極ライン5002とゲート電極ライン5004とマトリクス構造を構成している。各カソード電極ライン5002および各ゲート電極ライン5004は制御手段5015にそれぞれ接続されて駆動制御されている。カソード電極ライン5002とゲート電極ライン5004との各交差領域においては、ゲート電極ライン5004と絶縁層5003とを貫通して冷陰極用の薄膜5007に達する多数の略円形の孔5005が設けられ、この孔5005の底部に露出した薄膜5007が冷陰極を構成する。この薄膜5007は表面に界面活性剤がコーティングされた、仕事関数の小さな材料よりなる微粒子の集合体である。この絶縁層5003はフッ素を含有する酸化珪素で形成されている。

【0089】この第一の実施例である電子放出源5010を用いたディスプレイ装置の構成とその表示動作は図11を参照して説明した従来例とは、電子放出源の冷陰極中の絶縁層の構成においてのみ異なるものであって、その他の構成と動作は従来例と同一である。

【0090】次に、本実施例の冷陰極の製造工程を説明する。

【0091】厚さ3mmのガラス板に、Agペーストをストライプ状にスクリーン印刷、焼成し、カソード電極ラインを形成する。このガラス板に粒径10mmのCB

20

N微粒子を混入、攪拌した界面活性剤アミノプロピルトリエトキシシランを塗布、それをキュアし、有機溶剤を揮発させ、さらに、大気中で350℃、2時間の熱処理を行い、カソード電極ラインであるAgとc-BNの固着を行った。こうして形成された冷陰極用薄膜を通常のPEP工程により絵素毎にパターンニングした。なお、c-BNはたとえばイオウをドーブすることにより様々な抵抗率を有するが一般には102~1010Ωcmの範囲のものをその用途により用いる。

【0092】このガラス板を濃度3mol/lのケイ弗化水素酸水溶液にSiO₂の微粒子を溶解、飽和させた水溶液に、純度99.9%のアルミニウムを添加し、液温を60℃に保ちながら30時間浸漬し、フッ素を含有したSiO₂膜を10μm堆積させ絶縁層を形成する。エミッタ層であるCBN微粒子表面に界面活性剤アミノプロピルトリエトキシシランがコートされているため、エミッタ層と絶縁層間で良好な密着性が得られる。

【0093】次に、絶縁層上にストライプ状のゲート電極ラインを、カソード電極ラインとエミッタ層パターン上で交差するように印刷、焼成により形成する。このゲート電極ラインと絶縁層とを通常のPEP工程により形成したレジストマスクによりパターンニングして半径1ミクロン前後の略円形の孔を一絵素あたり3000個形成した。絶縁層のエッチングは希弗酸で行い、この時開口された孔の底部にエミッタが露出するため、絶縁層のパターンニングと同時にエミッタのCBN微粒子表面の水素終端処理がなされる。この時すでにエミッタ微粒子がカソード配線上に広く形成されているので、穴開けの際の位置合わせは容易であり、この位置合わせにより信頼性を損ねることはなかった。

【0094】こうして得られた冷陰極の絶縁層であるSiO₂のフッ素濃度は2.8%であり、1MHzにおける誘電率は3.5であった。通常、化学気相成長法や高周波スパッタリング法等で形成されるSiO₂膜の誘電率4.3前後に比して著しく低い値が得られた。1画素の面積は約1.6E-7m²であり、一画素当たりの静電容量は0.495pFであった。

【0095】＜実施例4＞絶縁層の形成を以下の手順で行った以外は、実施例3と同様に表示素子を作製した。カソード電極ラインおよびエミッタを形成したガラス板に粒径100nmのSiO₂微粒子を含有するペーストを塗布、乾燥させる。このガラス板を、濃度3mol/lのケイ弗化水素酸水溶液にSiO₂の微粒子を溶解、飽和させた水溶液に、純度99.9%のアルミニウムを添加し、液温を60℃に保ちながら30h浸漬し、フッ素を含有したSiO₂膜を10μm堆積させる。その後、大気中で400℃、1時間のアニールを行い、絶縁層を形成した。

【0096】＜実施例5＞フッ素を含有したポリイミドを電着法により堆積させて絶縁層を形成した以外は、実施

21

例3と同様に表示装置を作製した。こうして得られた冷陰極の絶縁層である SiO_2 のフッ素濃度は2.5%であり、1MHzにおける誘電率は3.0であった。

【0097】

【発明の効果】以上説明した本発明における電子放出素子およびその製法によって、以下の効果が得られる。

(1) 十分な電流制限効果を持つ抵抗層を微粒子エミッタを用いた電子放出素子に組み込むことによって、各々の電子放出素子に流れる最大の電流量を効果的に制限することが可能となり、ディスプレイに応用しても、極端に明るい輝点が散在した形の輝度むらの発生を防ぐことが可能となった。

(2) 抵抗層並びに微粒子エミッタ層をゲートの開口部内の、エミッタ配線上に選択的に着膜することが可能となり、エミッタ配線とゲート配線間の短絡の発生を防止することが可能となった。また、塗布などの他の方法では得られない均一性により抵抗層と微粒子エミッタ層を着膜することが可能となった。

【0098】そして、本発明による表示素子によれば、第一の基板上の絶縁層である SiO_2 がフッ素を含有するため、化学気相成長法や高周波スパッタリング法などに代表される通常の薄膜形成法で形成した SiO_2 膜の誘電率4.3前後に比して著しく低い誘電率が達成できる。従って一画素当たりの寄生容量を低減できるため絶縁層厚を低減でき、ゲート-エミッタ間距離が短縮されることから低駆動電圧化が可能になる。

【0099】その他、液相堆積法により絶縁層を形成することにより、化学気相成長法や高周波スパッタリング法などに代表される薄膜形成手法により形成した SiO_2 膜に比して緻密すなわち絶縁性の高い膜が得られるため、リーク電流低減および破壊電圧向上により、消費電力効率と信頼性が向上する。さらに、絶縁層厚を低減できるためゲート-エミッタ間距離が短縮され駆動電圧を低減できる。

【0100】また、液相堆積法は化学気相成長法や高周波スパッタリング法などに代表される薄膜形成手法に比して、膜厚および膜質の均一性に優れるため、例えば40インチを超える大型の表示素子の場合でも、画質むらの少ない素子を提供することが出来る。

【0101】さらに、低温で成膜できることからカソード電極ラインやエミッタに与える酸化等の熱的損傷を著しく低減する。従って歩留まりの向上、信頼性の向上にも寄与できる。

【0102】さらに、液相堆積法による SiO_2 膜形成においては、予めレジストマスクを施した部分には SiO_2 膜が堆積しないという選択成長性を有するため、 SiO_2 のエッチング液例えば希弗酸や弗化アンモニウムにダメージを受ける材料をエミッタに用いる場合でも、レジストマスク以外の領域に SiO_2 を選択成長させることにより、 SiO_2 のエッチングを行わずに絶縁層の

22

パターニングが出来るという利点がある。

【0103】さらに、化学気相成長装置や高周波スパッタリング装置などの特別な装置を必要としない、基板の大きさによらずパッチ処理ができるなどの利点を有する。従って、低コスト化、生産性の向上に寄与できる。

【図面の簡単な説明】

【図1】本発明による電子放出素子の構造の一例を示す模式図。

【図2】本発明による電子放出素子における抵抗層および微粒子エミッタ層の成膜方法を示す模式図。

【図3】本発明による電子放出素子の応用例を示す模式図。

【図4】従来の電子放出素子とその製法を示す部分断面図。

【図5】従来の電子放出素子のほかの例を示す部分断面図。

【図6】従来の電子放出素子のほかの例を示す断面図。

【図7】従来の電子放出素子の更にほかの例を示す部分断面図。

【図8】従来の電子放出素子の更にまたほかの例を示す断面図。

【図9】従来の電子放出素子の更にまたほかの例を示す断面図。

【図10】従来の電子放出素子の更にまたほかの例を示す断面図。

【図11】本発明による表示素子の一部を模式的に示す断面図。

【図12】本発明による表示素子の絶縁層の作製方法により形成されたフッ素を含有する SiO_2 薄膜における、フッ素濃度と誘電率の関係を示すグラフ。

【図13】従来の表示素子の一例を示す断面図。

【図14】従来の表示素子の一例を示す分解斜視図。

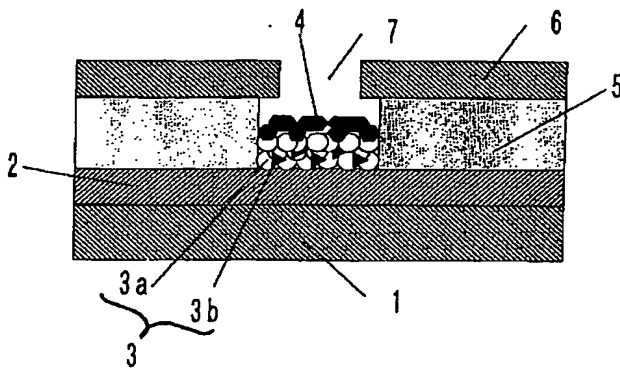
【符号の説明】

- 1 基板
- 2 カソード配線層
- 3 抵抗層 (3a: 絶縁体微粒子、3b: 導体微粒子)
- 4 微粒子エミッタ層
- 5 絶縁層
- 6 ゲート配線膜
- 7 開口部
- 21 対向電極
- 22 分散溶媒
- 23 基板と対向電極間の距離
- 24 電圧印加手段
- 31 フェースプレート
- 32 ITOアノード電極
- 33 蛍光体
- 34 排気管
- 35 スペーサー
- 36 ゲッター

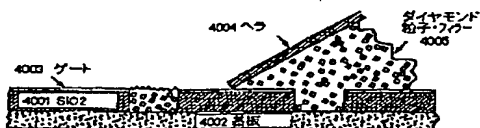
23

- 37 集束電極
- 51 基板
- 52 導電性表面
- 53 電子放出体粒子
- 60 誘電体層
- 61 ゲート電極
- 62 マスク粒子
- 101 導電性表面
- 100 基板
- 201 導体微粒子
- 202 導体膜
- 203 絶縁性微粒子
- 401 ゲート電極
- 402 絶縁性スペーサー
- 403 アノード蛍光面
- 404 フェースプレート
- 407 電子
- 408 光
- 409 絶縁層
- 801、1001 下部基板
- 802、1002 カソード電極ライン
- 803、1003 絶縁層
- 804、1004 ゲート電極ライン
- 804a、1004a ゲート部
- 805、1005 孔
- 807、1007 エミッタ薄膜

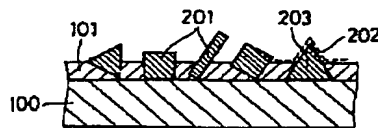
【図1】



【図4】



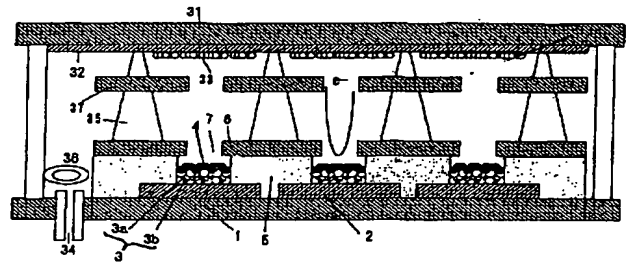
【図5】



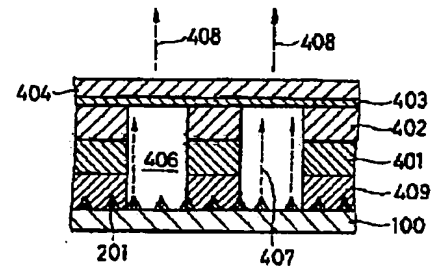
24

- *815、1015 制御手段
- 901 基板
- 907b ゲート電極
- 914b 絶縁層
- 932 エミッタ配線層
- 936 導電性スペーサー層
- 934 エミッタ母材
- 936 微粒子エミッタ
- 940 電子放出部
- 10 4001 絶縁層
- 4002 基板
- 4003 ゲート電極
- 4004 ヘラ
- 4005 ダイヤモンド微粒子とフィラー 5001、5021
- 下部基板
- 5002、5022 カソード電極ライン
- 5003、5023 絶縁層
- 5004、5024 ゲート電極ライン
- 5004a、5024a ゲート部
- 20 5005 孔
- 5007 薄膜
- 5012 電子放出源
- 5015 制御手段
- 5020 ディスプレイ装置
- 5028 上部基板
- * 5029 蛍光面

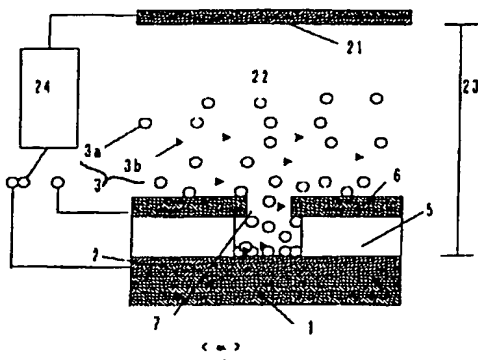
【図3】



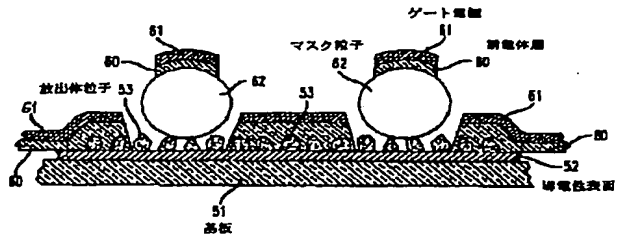
【図6】



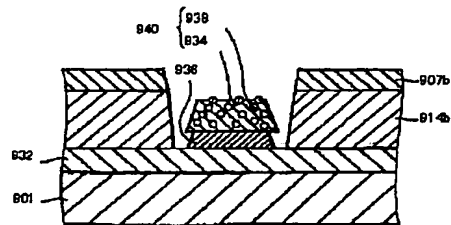
【図2】



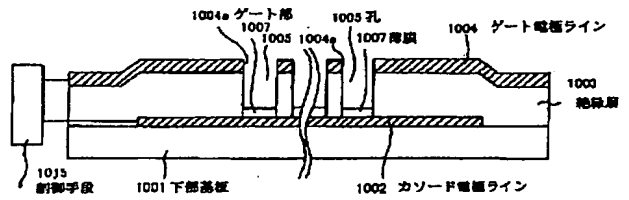
【図7】



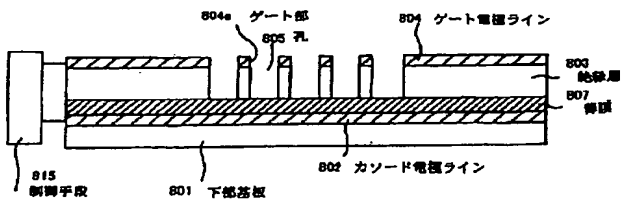
【図9】



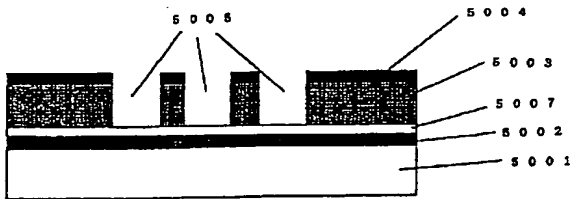
【図10】



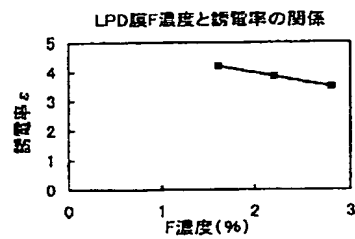
【図8】



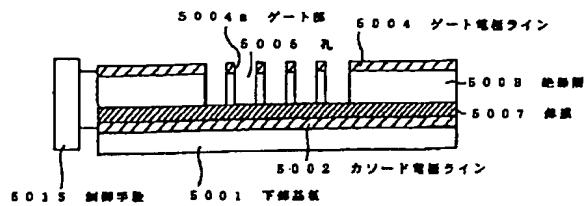
【図11】



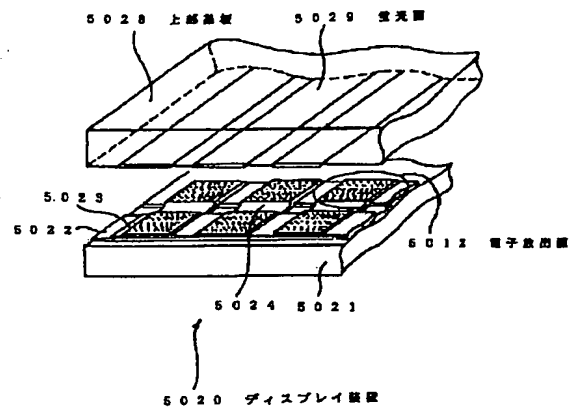
【図12】



【図 13】



【図 14】



フロントページの続き

- (72)発明者 森 三 樹
神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内
- (72)発明者 小 林 等
神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内
- (72)発明者 原 雄二郎
神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

- (72)発明者 伊 藤 剛
神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内
- (72)発明者 斉 藤 雅 之
神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内
- (72)発明者 平 岡 俊 郎
神奈川県川崎市幸区小向東芝町 1 株式会
社東芝研究開発センター内
- (72)発明者 浅 川 鋼 児
神奈川県川崎市幸区小向東芝町 1 株式会
社東芝研究開発センター内

Fターム(参考) 5C035 BB01

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.